

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199868

(43)Date of publication of application : 31.07.1998

(51)Int.Cl. H01L 21/3065
H01L 21/027
H01L 27/108
H01L 21/8242

(21)Application number : 09-370223

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 24.12.1997

(72)Inventor : MIN YAN

REI RI

KAIDA MASAHIRO

(30)Priority

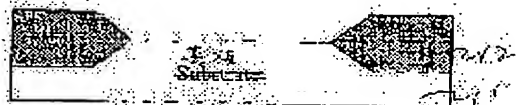
Priority number : 96 33434 Priority date : 23.12.1996 Priority country : US

(54) PROCESS FOR PLASMA-ETCHING ANTIREFLECTION COATING

(57)Abstract:

PROBLEM TO BE SOLVED: To improve selectivity with respect to an oxide and a polysilicon film, and to make critical dimension bias to be superior by executing plasma-etching by including argon and other inert substances with hydrogen bromide, CO₂ and O₂.

SOLUTION: A silicon substrate 11 is a monocrystal layer, and it includes silicon, e.g. n-type and p-type semiconductor regions that can form a source region and the drain region of a transistor or the anode and/or cathode of a diode, and other embedded regions used for forming a semiconductor device on the silicon substrate. An oxide layer 12 is formed to decide a channel region, and for example, a logic transistor is formed by using it. Argon and other inert substances, e.g. helium and neon can be used for plasma etching with hydrogen bromide, CO₂ and O₂.



THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199868

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/3065
21/027
27/108
21/8242H 0 1 L 21/302
21/30
27/10H
5 7 4
6 2 1 C

審査請求 未請求 請求項の数 7 O L 外国語出願 (全 34 頁)

(21) 出願番号 特願平9-370223

(22) 出願日 平成9年(1997)12月24日

(31) 優先権主張番号 0 3 3 4 3 4

(32) 優先日 1996年12月23日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ミン ヤン

アメリカ合衆国テキサス州リチャードソ
ン, ウェンドーバー コート 3309

(72) 発明者 レイ リ

アメリカ合衆国テキサス州リチャードソ
ン, ウェンドーバー コート 3309

(74) 代理人 弁理士 浅村 皓 (外 3 名)

最終頁に続く

(54) 【発明の名称】 反射防止コーティングのプラズマ・エッチング・プロセス

(57) 【要約】

【課題】 エッチング・バイアスをほぼゼロにする反射防止コーティング層を有する半導体デバイスのプラズマ・エッチング・プロセスを提供する。

【解決手段】 パターン化するシリコン基板 (11) 上に有機BARC層 (17) を堆積し、この有機BARC上にフォトリソスト層 (19) を形成し、その照射により露光して所望のエッチング・マスクを形成し、前記BARC層 (17) をプラズマ・エッチングする。このプラズマ・エッチングは選択的であり、下層をエッチングすることなく、良好な垂直エッチングが得られる最小エッチング・バイアスを有する。BARC層のエッチングを完了した後、フォトリソスト層及びBARC層をエッチング・マスクとして用いて酸化物、ポリシリコン及びボロン・リン・ケイ酸ガラス (BPSG) のガラス層を含む下層をパターン化する。

(均等と)

1. 均等と

(均等と) $CF_4 + CHF_3 + Ar + O_2$ 2. 下地 SiO_2 層→ $O_2/HBr/CO_2/Ar = 10/10/8/95$ sccm $90^\circ C$

25mT, 300W

(5) $Ar/HBr/CO_2/Ar = 10/20/8/95$, 25mT, 200W, 10% O_2 BARC 1000Å/min
Sil 26Å/min

235µm フィーズ

請求の範囲

【特許請求の範囲】

【請求項1】シリコン基板を設ける工程と、前記シリコン基板内に少なくとも第1の電気伝導度物質の複数の領域を形成する工程と、前記シリコン基板上にパターン化される層を形成する工程であって、前記層は第1の波長の照射に対して反射性である前記工程と、パターン化する前記層に重なる埋め込み反射防止コーティング(BARC)を形成する工程であって、前記BARCが前記第1の波長の照射に対して吸収性である前記工程と、前記BARCの層上にフォトレジスト層を形成する工程であって、前記フォトレジスト層は前記第1の波長の照射により露光される前記工程と、フォトリソグラフィック・マスクを用い、前記第1の波長の照射を用いて前記フォトレジストを露光させ、前記BARC層は前記照射の反射が前記フォトレジスト層に戻るのを阻止する前記工程と、前記フォトレジスト層をパターン化して期待外の領域を除去する工程と、エッチング・マスクとして前記フォトレジストを用いて前記BARC層をプラズマ・エッチングする工程であって、前記プラズマ・エッチングは臭化水素(HBr)を含む前記工程と、エッチング・マスクとして前記フォトレジスト層及びBARC層を用いて前記下層をエッチングして所望のパターンを完成させる工程とを備えている半導体デバイスを形成する方法。

【請求項2】前記BARC層をプラズマ・エッチングする工程は、HBr、CO₂、O₂ 及び不活性分子を含むプラズマ・エッチング化学を設ける工程を備えている請求項1記載の方法。

【請求項3】前記不活性分子はアルゴンである請求項2記載の方法。

【請求項4】前記BARC層を設ける工程は、有機BARC層を設ける工程を備えている請求項1記載の方法。

【請求項5】前記下層はポリシリコン層である請求項1記載の方法。

【請求項6】前記下層は酸化物層である請求項1記載の方法。

【請求項7】前記下層はホウ素リン・シリコン・ガラス(BPSG)である請求項1記載の方法。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フォトリソグラフィ技術を用いた集積回路の製造する方法に関し、特にフォトレジスト層間の反射防止層、及びエッチング・プロセスによりパターン化される酸化物又はポリシリコン層を用いて半導体回路上にエッチングによる幾何学的な図形を作成する方法に関する。

【0002】

【従来の技術】高密度を有する集積回路の製造では、多くの構造、例えば、電界効果トランジスタ用のゲート、バイポーラ・トランジスタ用の小領域エミッタ、及び構造、トランジスタ等間の相互接続用の狭い相互接続線に最小図形寸法(minimum feature size)の構造が必要とされる。デバイス密度の増加及び最小図形寸法の低下は、例えばスタティック・ダイナミック及び同期ランダム・アクセス・メモリ・デバイス(RAM)、読み出し専用メモリ(ROM)、電氣的消去可能プログラマブルROM(EEPROM)におけるメモリ・デバイスとして作動する集積回路にとって特に重要である。これらのデバイスは特に高いデバイス密度を必要とし、従ってより小さな幾何学的な構造を製作する能力は、これらの応用に対して臨界的となる。

【0003】このような構造の形成は典型的に以下のように実行される。しかし、この例は説明を目的とするだけであって、多くの変形及び代替が当該技術分野に習熟する者にとって明らかである。第1に、構造又は導体は、パターン化される酸化物、ポリシリコン、BPSGガラス又は金属の層上にフォトレジスト物質層を堆積することにより定められる。次に、フォトレジストは、具体的に所望するパターンを定めるレチクル・マスクを介して光を通過させることにより、露光される。フォトレジストは、露光された後、現像されて選択した領域のフォトレジストのみを残す。フォトレジストは、典型的には、キュア即ち硬化される。フォトレジストはそこでエッチング・マスクとして用いられる。パターン化されている物質に対して選択的な異方性エッチングが用いられる。従って、このエッチング・プロセスにより定められ得る最小線幅は、フォトレジスト・プロセスを用いて作成可能な最小フォトレジスト線幅である。現在の光ステッパは365ナノメートル(nm)の波長を有する光(光を発生するために使用している高圧水銀アーク・ランプにおいて対応する輝線にちなんで線光と呼ばれる)を用いてフォトレジストを露光させており、1線リソグラフィを用いて約0.01ミクロン未満の標準偏差を有する約0.30ミクロン未満のパターン線幅を満足に発生することはできない。

【0004】従来技術において、パターン化される反射層上にフォトレジスト物質、例えば金属、酸化物又はポリシリコンを使用すると、露光及び現像中にフォトレジストに欠陥を発生させることが判っていた。フォトレジスト材は平坦でない構造上に塗布され、そのうちの一部が周辺の領域に比較して垂直方向で極めて高くなる。フォトレジストを塗布すると、パターン化する層のトポグラフィに従って、フォトレジストの一部が他の一部のフォトレジスト領域よりも薄くなる。フォトレジストが光即ちエネルギー源に露光されると、照射線の一部がフォトレジスト層を通り抜けて、フォトレジスト層の底部へ反射されることがある。これらの反射は、フォトレジストの見掛け上の露光時間に局所的な差を発生させ、現像工程後にフォトレジスト層に好ましくない不均一性を発生するに至る。パターン化された層に起因する欠陥は、しばしば「ネックング(necking)」と呼ばれる。

【0005】従来技術のエッチング方法では、ネックング問題を除去するためにパターン化する物質の上、及びフォトレジストの下に反射防止層を用いていた。この反射防止層は、埋め込み反射防止層(Buried Antireflective Layer: BARK)(例えば米国特許第5,554,485号を参照)、又は底面反射防止被覆(Bottom Antireflective Coating)、又は背面反射防止被覆(Backside Antireflective Coating: BARC)としばしば説明されている。この反射防止層は、しばしば有機体、例えば低い表面エネルギーを有するポリマであり、多分、染料化合物に関連し、かつフォトレジストを露光するために使用される波長にほぼ一致した特定の波長のエネルギーを吸収する。BARC層は入射光がフォトリソグラフィック・プロセスによりパターン化された反射層に到達するのを阻止するために用いられる。これは、好ましくない反射がパターン化する層からフォトレジストに戻るのを阻止して、より良いクリティカル・ディメンション制御を得ることによって、「ネックング」を除去するものである。

【0006】BARC又はBARLを用いる従来技術のエッチング・プロセスでは、フォトレジスト材を線光に露光させた後に、好ましくないフォトレジスト領域を除去している。次に、BARCは、残りのフォトレジストがエッチング・マスクとして作用するエッチング・プロセスを用いて、パターン化

される必要がある。更に、下層をパターン化するためにエッチング・マスクとしてフォトレジストを用いた後に、フォトレジスト及びBARC層は除去される必要がある。BARC層をエッチングする既知の化学は、以下のような化学を用い、プラズマによりBARCエッチング・プロセスを実行することである。

【0007】

【化1】 $\text{CF}_4 + \text{CHF}_3 + \text{Ar} + \text{O}_2$ 【0008】このエッチングは有機BARC層を効果的にエッチングする。しかし、2つの問題が残る。第1に、従来技術のBARCプラズマ・エッチングはクリティカル・ディメンションにおいてエッチング・バイアスを有する。即ち、BARCエッチングはフォトレジスト・パターンの下の一部領域をエッチングすることになる。第2に、従来技術のBARCエッチングは、更に、典型的には底部の膜をエッチングしてしまう。即ち、BARC層のエッチングは下部の層の一部、典型的には、酸化物、BPSGのようなボロン・リン・ケイ酸ガラス、又はポリシリコン若しくはシリサイド・ポリシリコンも除去してしまう。このような下層のエッチングは、総合的なプロセスの制御性を低下させるので、好ましくない。最適プラズマBARCエッチングは、従来技術の既知BARCエッチング・システムと逆に、エッチング・バイアス作用なしに、パターン化する層、酸化物又はポリシリコン層に対して高度に選択的となる。

【0009】図1は典型的な従来技術のBARCエッチング工程後の半導体デバイスの領域を断面図より示す。図1において、単結晶構造及び(100)方位を有し、典型的には、内部にP型及びN型ドープ領域を形成して半導体デバイスを製作する半導体基板11を示す。図1の構造例では、フィールド酸化領域12が半導体基板11上に設けられてトランジスタ用のチャネル領域を定める。このようなデバイスに関する典型的な構造例としてゲート酸化物13を示す。ゲート酸化物13上にポリシリコン層15を形成して、例えば当該技術分野において周知のように、MOSFETトランジスタ用のゲート端子を形成する。

【0010】ポリシリコン層15はパターン化されてトランジスタ・デバイス例用のゲート端子を形成する。図1では、デバイス全体にわたりBARC層17をスパッタ又はスパンされた。同じように、デバイス全体にわたりフォトレジスト層19をスパッタ又はスパンした。次いで、光フォトリソを用いてフォトレジスト層19パターン化して所望のパターンを定めた。1線の照射により露光を行った。反射防止コーティングとして作用させるために、エネルギーを反射せず、フォトレジスト材を露光させるために用いられている材料のBARC層17を選択した。この実施例では、有機ポリマが効果的なBARC層を作成している。他の材料を用いることもできる。

【0011】実行すべき複数の工程を完了させて図1に示す構造を作成するために、フォトレジストを露光し、次いでエッチングしてフォトレジスト層19を残した。次に、従来技術の $\text{CF}_4 / \text{CHF}_3$ プラズマ化学を用いてBARC層17をエッチングした。

【0012】図1では、従来技術のBARCプラズマ・エッチングにより、BARC層17の上部におけるポリシリコン層15の露光領域をエッチングしたことが解る。この作用は、従来技術のエッチング・プロセスがBARC層に対して完全に選択的ではなく、BARC層の下ポリシリコン層をエッチングするために、発生した。更に、図1の領域18にいくらかのクリティカル・ディメンション・バイアスを見ることができる。ポリシリコンがBARC層17の外端の丁度下側でエッチングされた。これについて他の表現をすれば、従来技術のBARCエッチングが完全に異方性ではなく、エッチングされずに残されるべき一部の物質を除去するということである。これがエッチング・バイアス作用を発生させている。

【0013】

【発明が解決しようとする課題】プラズマ化学に CO_2 を加えることにより、従来技術の $\text{CF}_4 + \text{CHF}_3$ プラズマ・エッチングを改良するために、何らかの作業が行われていた。これらの変更はパターン化する酸化物及びポリシリコン層に対する選択性を改善することが判った。しかし、エッチング・バイアスの問題には、約0.08～1.0ミクロンの典型的なクリティカル・ディメンション・バイアスが残っている。このエッチング・バイアスは0.35ミクロン図形寸法の現在の半導体技術にとって大き過ぎる。最小図形寸法がこのレベル以下に低下し続けると、クリティカル・ディメンション・バイアス制御は更に困難となる。従って、ゼロのエッチング・バイアス、又はゼロに非常に近いエッチング・バイアスを有する効果的かつ高度の選択的なエッチングが得られる改良BARCエッチング化学に対する要請が存在する。この改良BARCエッチングは、製作しているデバイスにおけるクリティカル・ディメンションのごく僅かなばらつきを保持するために必要とされる。

【0014】

【課題を解決するための手段】概要的にかつ本発明の1形式において、改良BARCプラズマ・エッチングが提供される。このエッチング化学は酸化物及びポリシリコン膜に対して高度に選択的であると共に、優れたクリティカル・ディメンション・バイアスを提供する。この新しいエッチング化学は、臭化水素(HBr)、CO₂ 及びO₂ と共に、アルゴン及び他の不活性物質を含むプラズマ・エッチングである。

【0015】異なる図において、対応する番号及びシンボルは、明細書及び各図において指摘しない限り、対応する部分を示す。

【0016】

【発明の実施の形態】図2は、構造例として用いられ、本発明のBARCエッチングの動作を説明するシリコン基板11を示す。シリコン基板11は単結晶層であり、これは、シリコン、例えばトランジスタのソース領域及びドレイン領域、又はダイオードのアノード及び／又はカソードを形成することができるn型及びp型半導体領域と、シリコン基板に半導体デバイスを形成するために当該技術分野において典型的に用いられる他の埋め込み領域とを典型的に含む。酸化物層12はチャネル領域を定めるように形成され、これを用いて、例えばロジック・トランジスタを形成するように典型的に製作されてもよいMOSFETトランジスタ・ゲート領域の形成を説明する。当該技術分野に習熟する者により理解されるように、この実施例は単なる例示であって、本発明の有機BARCエッチング方法は、トランジスタ又はロジック・デバイスの形成に限定されないことを想起すべきである。本発明の方法は、有機BARC又はBARC層を用いている半導体プロセス用の任意の応用において有機BARCをエッチングする際に、よい結果が得られる。

【0017】図3は、ゲート酸化物13を図2のシリコン基板上に形成した後のシリコン基板を示す。ゲート酸化物は薄い酸化物であり、これを通常の公知技術を用いて形成することができ、例えば、これを堆積又は成長させてもよい。例えば、ポリシリコン層15は酸化物上にこのような層を形成する【0018】図4は、ポリシリコン層15を形成した後の図3のシリコン基板を示す。ポリシリコン層15は、通常に知られた技術を用いて酸化物上にこのような層を形成することにより、形成される。

【0019】図5は、BARC層17を形成した後の図4のシリコン基板を示す。BARC層17は特定のシステムのフォトレジストに用いられる入射光を吸収しなければならない。I線光の場合に、有機BARCは効果的な反射防止被覆を形成するために発見された。BARC層は、典型的には、厚さ1200～2200オングストロームであるが、他の種々の厚さを用いることができ、それでも良好な結果を達成することができる。

【0020】図6は、フォトレジスト材19を形成し、かつ通常の技術を用いてパターン化した後の図5のシリコン基板を示す。フォトレジストはスパッタされるか、又は堆積される。入射光は光マスクに用いてフォトレジストを露光させて、ポリシリコン・ゲートをパターン化する所望のエッチング・マスクを形成させる。

【0021】図7は、本発明の方法のBARCプラズマ・エッチング化学を塗布した後の図6のシリコン基板を示す。図7では、本発明の方法を用いてBARC層17をエッチングした。好ましい一実施例において、応用プラズマ材塗布装置を用いた。下記の表は図7の構造を得るために用いた第1の好ましいBARCエッチング方法を示す。2工程のプラズマ・エッチング・プロセスを用い、第1に、メイン・エッチングを実行してBARC層の大部分を除去し、次にオーバ・エッチングを実行して下の残りのBARCを除去し、その間、下のシリコン層に対して高度に選択的である。好ましい一実施例において、下記のパラメータは、以上で説明した有機BARC層を用い、応用プラズマ材塗布装置により良好な結果が得られることを示す。

【0022】メイン・エッチング工程: 圧力 25ミリトル出力 300ワットO₂ (sccm) 10HBr(sccm) 10CO₂ (sccm) 8Ar(sccm) 95電極温度 60℃壁温度 40℃エッチング時間 終了点まで

【0023】オーバ・エッチング工程: 圧力 25ミリトル出力 200ワットO₂ (sccm) 10HBr(sccm) 20CO₂ (sccm) 8Ar(sccm) 95電極温度 60℃壁温度 40℃エッチング時間 50%【0024】

以上で示した実施例において達成した結果は、1000オングストローム／分のBARCエッチング速度26オングストローム／分の酸化物エッチング速度45オングストローム／分のポリシリコン・エッチング速度であった。

【0025】従って、本発明のプラズマ・エッチング方法は酸化物又はポリシリコンの下層に対して所望の選択性を提供するものであることが理解される。

【0026】以上で示したロジック・ゲート例において、達成されたクリティカル・ディメンション・バイ

アスは、隔離ロジック・ゲート：0.007ミクロンから0.01ミクロン稠密ロジック・ゲート：0.001ミクロンから0.007ミクロンであった。

【0027】メイン・エッチング工程に用いる許容誤差を以下のように要約することができる。

O_2 10±15% sccm HBr 10±15% sccm CO_2 8±15% sccm Ar 95±15% sccm【002

8】従って、ここで説明した本発明は、好ましい実施例の各物質におけるばらつきを含むものであり、これら物質のそれぞれ又は全てについて±15%内で変更してもよく、それでも良好な結果が得られることを理解すべきである。更に、出力、電極温度、壁温度及び時間は、変更可能であり、それでも良好な結果が得られる。Arは不活性であり、従って種々の代替物質、例えばヘリウム又はネオンを用いることができる。更に、好ましい実施例のアルゴン(Ar)を他の不活性物質に置換してもよい。当該技術分野に習熟する者は、圧力、温度、出力及び使用する装置を変更してもよく、かつ本発明の有機BARCプラズマ・エッチングをHBr/ CO_2 / O_2 と組合わせて用いても下層に対して依然として高度に選択的であると共に、優れたクリティカル・ディメンション制御が得られることを認識すべきである。

【0029】更に、クリティカル・ディメンション制御は、先進のメモリ・セル、例えばDRAMに用いるものを構築するためにも必要とされる。より小さな幾何学的図形を有する、より高密度のDRAMセルを達成するためには、非常に厳密なクリティカル・ディメンション制御を行う必要がある。これは、クリティカル・ディメンション・バイアスがストレージ・セル容量値によるばらつきを発生させるために、そのようになる。ストレージ・セルが可能な限り均一な容量を有することは、DRAMの性能にとって臨界的である。

【0030】図8はビット・ライン構造上の容量を用いて部分的に完結したDRAMセル・アレーの一部分を断面図により示す。図8では、シリコン基板31が設けられている。ウェル33を形成する。ウェル35にメモリ・セル・トランジスタのソース及びドレイン領域を形成する。フィールド酸化物領域32はトランジスタ及びセルの境界を定める。ポリシリコン・ワード線37を形成し、かつ典型的にタングステン・シリサイド(W_{six})領域39によりシリサイド化する。ワード線はトランジスタ用のゲート端子を制御する。窒化層41はワード線を他の構造から絶縁させる。ワード線上に酸化物層を形成する。更に、 W_{six} 45により典型的にシリサイド化された第2レベルのポリシリコン43からビット線を形成する。このビット線、層47上に他の窒化層を形成する。このビット線は、ゲート領域に重なるワード線により、DRAMセルのトランジスタのソース領域に接触する。次に、ビット線構造上に酸化物層48を形成する。この酸化物層をパターン化し、かつコンデンサ・プレート用のコンタクトを形成する。トランジスタのドレイン領域に接触してポリシリコン・プラグ51を形成する。ポリシリコン層53及び55を形成してビット線上に形成するコンデンサのクラウン・セル底プレートの形成を開始させる。

【0031】図8のDRAMセルのビット線アーキテクチャ上のコンデンサに用いられるスタックド即ちクラウン・コンデンサを形成するために、ポリシリコン・プレート電極55上にボロン・リン・ケイ酸ガラス(BPSG)57の厚膜を堆積する。このBPSGスタックを用いてセル・プレート用のクラウン構造を支持する。セルを形成した後に、このBPSGを除去する。ストレージ・セル・コンデンサを完成するために、大きな長方形領域内にBPSGをパターン化する必要がある。これは、フォトレジスト・パターン及び有機BARCを用い、本発明のプロセスにより行われる。

【0032】図9は図8のDRAMセル用のビット線構造上にコンデンサを形成する際の次の工程を示す。図9では、図8の構造上にBARC層61を形成する。この層は図2～図7のロジック・デバイスに関して以上で説明したBARC層に類似している。次いで、ポリシリコン層63を形成し、かつパターン化してBPSG層57をエッチングするパターンを残す。DRAMアプリケーションの場合に、ここでも以上で説明したプロセスのメイン・エッチング工程及びオーバ・エッチング工程を適用する。DRAM応用の場合に、以上で説明したプロセスのメイン・エッチング及びオーバ・エッチング工程を再び適用する。DRAM応用のために得られたクリティカル・ディメンション(CD)の結果をX及びY方向について説明する。

Xにおける平均CD=0.012ミクロンYにおける平均CD=0.028ミクロン【0033】図10は、以上で説明したBARCエッチング後にDRAMストレージ・セル用のBARC構造結果を示す。エッチングはここでも高度に選択性があるので、下層のBPSG層57のエッチングは発生せず、またこのエッチングは最小エッチング・バイアスを有するために、BARC領域61端にエッチングが発生することはない。

【0034】図11は、本発明のBARCエッチングに続いてBPSG及びポリシリコン・エッチング工程を適用した後に得られたBPSGクラウン構造57を示す。ビット線クラウン・セル上にコンデン

サを完成させるために、BPSGを用いて付加的なポリシリコン及びシリサイド層用の側壁支持を得て、次にこの層をパターン化すると共にBPSGを除去してコンデンサ用のクラウン状の底部プレートを形成する。酸化物、窒化物又はONO又は他の誘電体層を形成し、底部プレート上をパターン化し、最後に誘電体上にポリシリコンの上部プレートを形成してセル・プレート電圧に接続する。これらの工程は現在のDRAM技術において通常かつ周知であり、図示していないけれども、図11のDRAMセルを完成するために必要な工程は、通常のDRAMプロセス技術及び装置を用いるものとして理解すべきである。

【0035】図12は完成したDRAMセルを横断面図により示す。図12では、図11のBPSGの側部上にポリシリコンの側壁56を形成してパターン化し、図11の底部ポリシリコン・プレート55を接触させる。次いで、図11のBPSG57について最適化するエッチング技術によりBPSG57を除去し、かつ側壁56及び底部層55によりクラウン状のコンデンサを形成する。側壁55及び56上に誘電体層58を形成してパターン化し、次いでコンデンサ上に上部ポリシリコン・プレート65を形成してメモリ・セルを完成する。

【0036】本発明の方法は、有機BARCを用いて反射防止コーティングを得る任意の下層をパターン化するために用いることができるものであり、またここで実施例として説明したロジック・デバイス又はメモリ・デバイスに限定されるものではない。しかし、本発明の方法は、フォトリソグラフィック技術を用いた半導体プロセスに広範な応用が存在する。

【0037】実施例を参照して本発明を説明したが、この説明は限定する意味で解釈されることを意図するものではない。当該技術分野に習熟する者にとって、説明を参照することにより、実施例についての種々の変更及び組合わせと共に、本発明の他の実施例は、明らかである。従って、特許請求の範囲はこのような全ての変更及び実施例を包含することを意図している。

図の説明

【図面の簡単な説明】

【図1】従来技術のBARCプラズマ・エッチング後の典型的なポリシリコン・ゲート構造を示す横断面図。

【図2】ロジック・デバイスを形成するために本発明のBARCエッチングに用いられるシリコン基板を示す横断面図。

【図3】ロジック・デバイスのゲート酸化物を有する図2のシリコン基板を示す横断面図。

【図4】ロジック・デバイスのゲートを形成するためにパターン化されるポリシリコン・ゲート層を有する図3のシリコン基板を示す横断面図。

【図5】パターン化されるポリシリコン層上に形成された本発明のBARC層を有する図4のシリコン基板を示す横断面図。

【図6】BARC層に重なるフォトレジスト・パターンを有する図5のシリコン基板を示す横断面図。

【図7】本発明のBARCエッチング・プロセス後における図6のシリコン基板を示す横断面図。

【図8】コンデンサ構造の形成前の典型的な1トランジスタ・メモリ・ストレージ・セルを示す横断面図。

【図9】BARC層を形成した後の図8のストレージ・セルを示す横断面図。

【図10】フォトレジスト層を形成してパターン化した後の図9のストレージ・セルを示す横断面図。

【図11】本発明のBARCエッチングを実行した後の図10のストレージ・セルを示す横断面図。

【図12】エッチング・マスクとして図10のフォトレジスト・パターンを用い、図11のストレージ・セル上にストレージ・セル・コンデンサを形成した後の完成メモリ・セルを示す横断面図。

【符号の説明】

11 シリコン基板(半導体基板)

13 ゲート酸化物

15 ポリシリコン層

17 BARC層

19 フォトレジスト物質(フォトレジスト層)

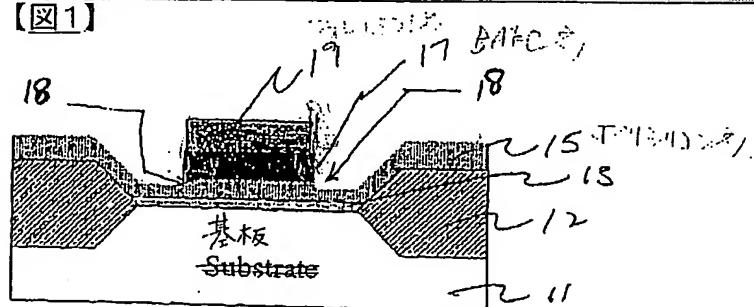
56 側壁

57 BPSGクラウン構造

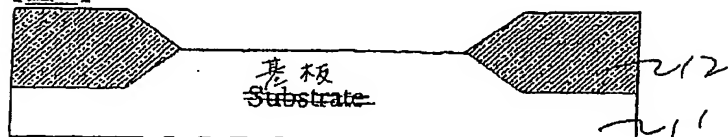
58 誘電体層

図面

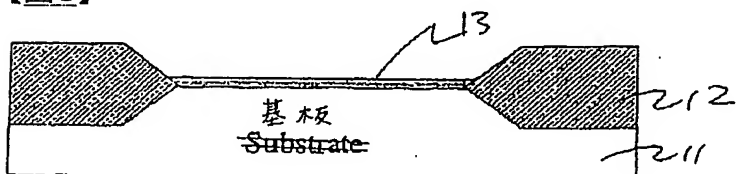
【図1】



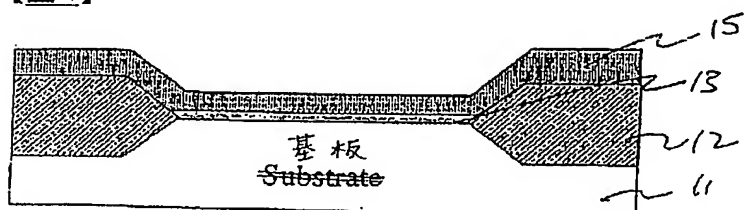
【図2】



【図3】



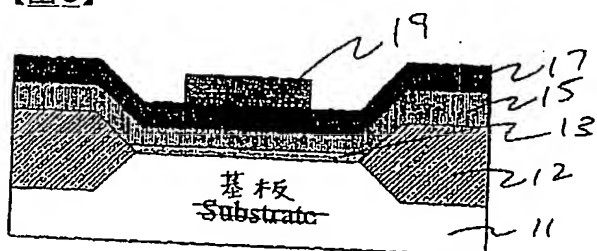
【図4】



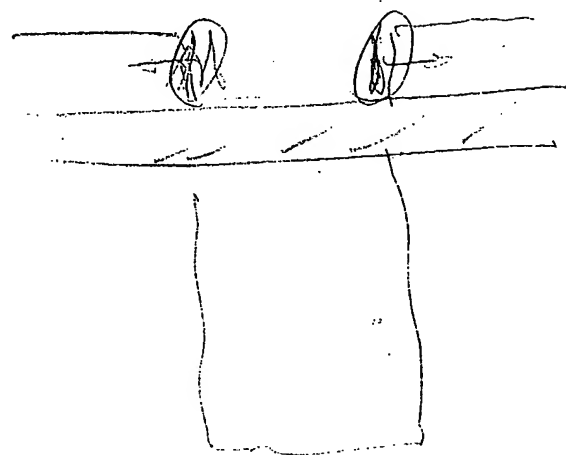
【図5】

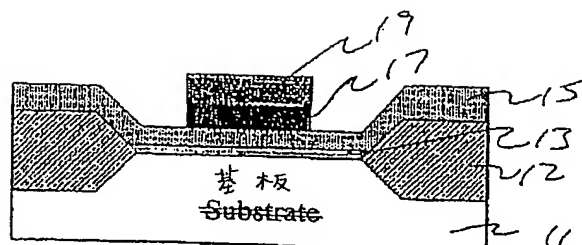


【図6】

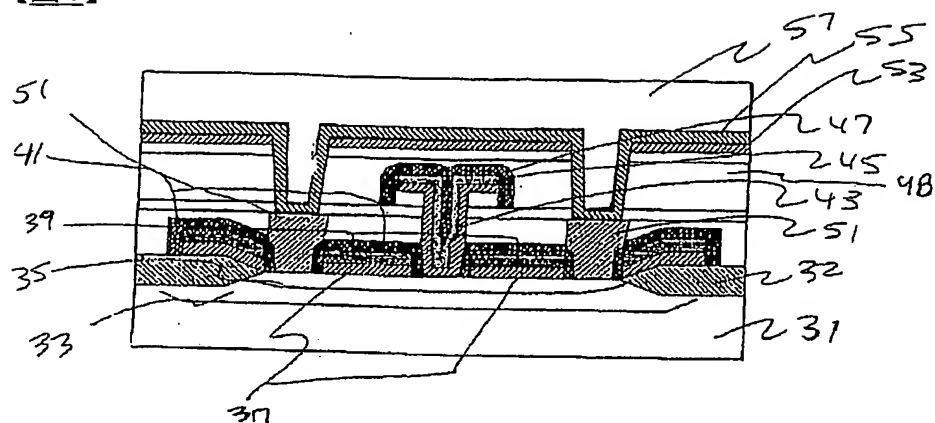


【図7】

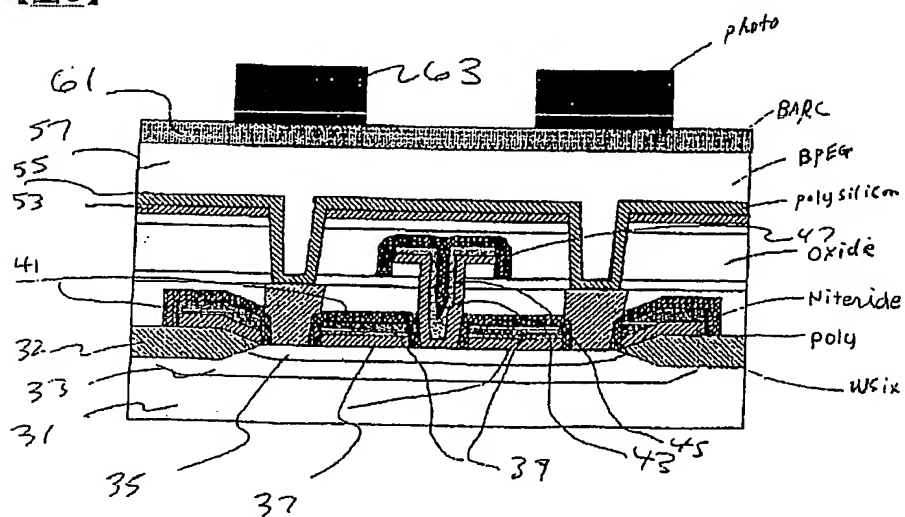




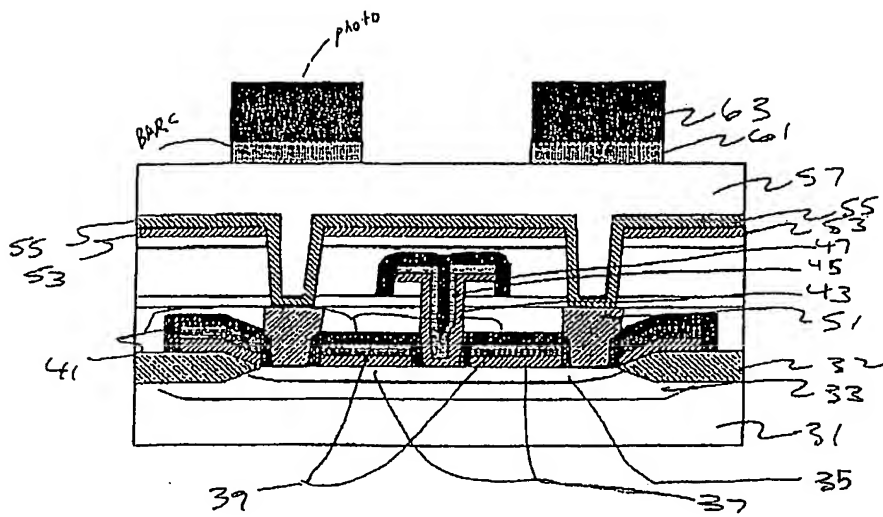
【図8】



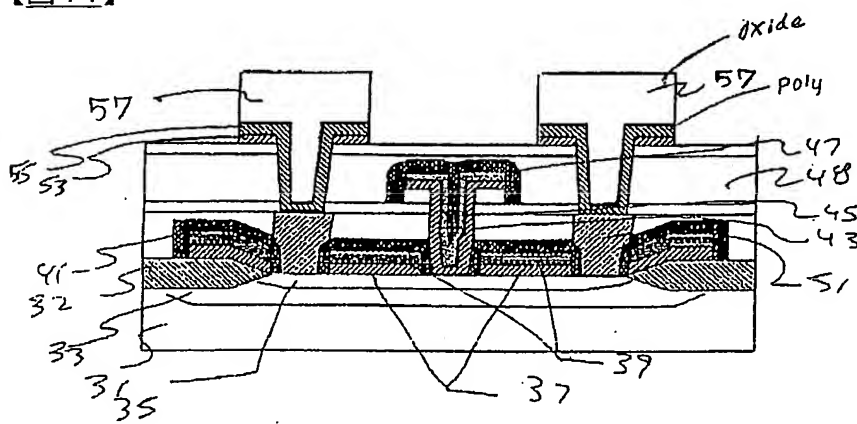
【図9】



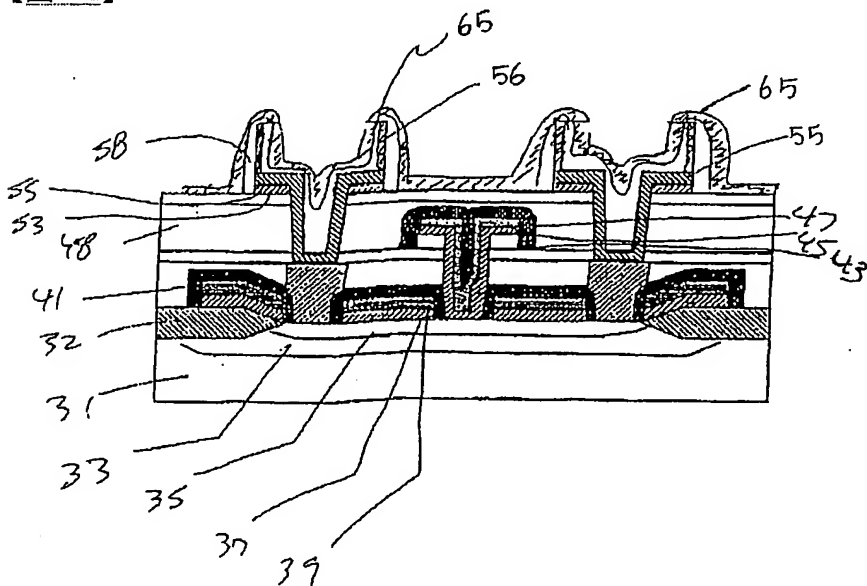
【図10】



【図11】



【図12】



THIS PAGE BLANK (USPTO)